

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on June 25, 2003.

Gerardine Maddox

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Atsuo TSUNODA

Serial No.: New Application

Filing Date: June 25, 2003

For: SEMICONDUCTOR LASER DEVICE
CAPABLE OF PREVENTING A...

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application No. 2002-206873, filed July 16, 2002.


The certified priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952 referencing 204552028500.

Dated: June 25, 2003

Respectfully submitted,

By: 

Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7743
Facsimile: (703) 760-7777

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月16日

出 願 番 号

Application Number:

特願2002-206873

[ST.10/C]:

[JP2002-206873]

出 願 人

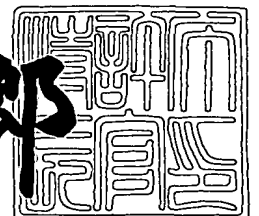
Applicant(s):

シャープ株式会社

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021756

【書類名】 特許願

【整理番号】 184178

【提出日】 平成14年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 5/22
H01L 21/302

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 角田 篤勇

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ素子および半導体レーザ素子の製造方法

【特許請求の範囲】

【請求項 1】 基板上に、活性層と、第 1 クラッド層とを設けると共に、上記第 1 クラッド層上に、第 2 クラッド層と、キャップ層を含む上部層とからなるリッジ部を設けた半導体レーザ素子において、

上記上部層が上記第 2 クラッド層よりも両幅方向に突出して、上記上部層と上記第 2 クラッド層との間に $0.13\mu\text{m}$ 以上の段差があることを特徴とする半導体レーザ素子。

【請求項 2】 請求項 1 に記載の半導体レーザ素子において、

上記リッジ部の両側に電流狭窄層を備え、この電流狭窄層の上記リッジ部に接する部分よりも両外側の部分であって、表面が平坦に形成された部分の厚みが、上記リッジ部の第 2 クラッド層の厚み以下に形成されていることを特徴とする半導体レーザ素子。

【請求項 3】 請求項 1 に記載の半導体レーザ素子において、

上記電流狭窄層の上記リッジ部に接する部分の厚みが、上記リッジ部の第 2 クラッド層の厚みの半分以上であることを特徴とする半導体レーザ素子。

【請求項 4】 請求項 1 に記載の半導体レーザ素子において、

上記基板は、傾斜基板であることを特徴とする半導体レーザ素子。

【請求項 5】 基板上に、少なくとも活性層と、第 1 クラッド層と、第 2 クラッド層と、キャップ層を含む上部層とを形成する工程と、

上記第 2 クラッド層および上部層に、ドライエッチングを施した後、続いてウェットエッチングを施して、上記第 2 クラッド層および上部層からなるリッジ部を形成する工程と

を備えることを特徴とする半導体レーザ素子の製造方法。

【請求項 6】 請求項 5 に記載の半導体レーザ素子の製造方法において、

上記ウェットエッチングによって、上記上部層を上記第 2 クラッド層よりも両幅方向に突出させて、上記上部層と上記第 2 クラッド層との間に段差を形成することを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体レーザ素子および半導体レーザ素子の製造方法に関する。

【0002】

【従来の技術】

最近、600nm帯の波長で発光可能なAlGaInP系の赤色半導体レーザ素子は、ポインター、バーコードリーダ、レーザビームプリンタおよび光ディスク装置などの光源として多く用いられ、重要性が増しつつある。

【0003】

この種の半導体レーザ素子としては、従来、図7に示すようなものがある。この半導体レーザ素子はリッジストライプ型であり、p型第2クラッド層108、p型中間層109およびp型キャップ層110で形成されたリッジ部を、MBE法によってn型電流狭窄層およびp型コンタクト層116で埋め込むように形成されている。

【0004】

上記従来の半導体レーザ素子は、以下のようにして製造する。すなわち、(100)面から[011]方向に15°傾いた面を主面とするn型GaAs基板101上に、図8(a)に示すようにn型GaAsバッファ層102、n型GaInPバッファ層103、n型AlGaInPクラッド層104、GaInP/AlGaInP多重量子井戸活性層105、p型第1AlGaInPクラッド層106、GaInPエッチストップ層107、p型第2AlGaInPクラッド層108、p型GaInP中間層109およびp型GaAsキャップ層110を、MBE法によって順次成長する。

【0005】

その後、上記p型キャップ層110上にAl₂O₃膜111を蒸着し、このAl₂O₃膜111を、フォトリソングによってストライプ状にパターン加工する。

【0006】

続いて、上記 Al_2O_3 膜111のパターン加工の際に用いたレジスト膜112をマスクとしてエッチングを行って、p型第2クラッド層108、p型中間層109、p型キャップ層110および Al_2O_3 膜111の両側部分を除去して、図8(b)に示すようなリッジ部を形成する。

【0007】

この後、上記レジスト膜112を除去した後、上記 Al_2O_3 膜111をエッチング除去する。そして、2回目のMBE法による結晶成長を行なって、上記GaInPエッチストップ層107上および上記リッジ部上に、n型AlInPを成長する(図8(c))。この時、上記GaInPエッチストップ層107上には、電流狭窄層となる単結晶のAlInP層113が形成され、上記リッジ部のp型キャップ層110上には多結晶のAlInP層114が成長する。

【0008】

次いで、上記n型AlInP電流狭窄層113およびAlInP層114上に、レジストをスピナーにより塗布する。このとき、上記n型AlInP電流狭窄層113上にレジスト膜115が形成されるが、多結晶のAlInP層114上にはレジスト膜は殆ど形成されない。

【0009】

その後、 O_3 -UVアッシングによって、上記AlInP層114上のレジストを完全に除去して、図9(a)に示すように、n型AlInP電流狭窄層113上のみにレジスト膜115を配置する。

【0010】

そして、図9(b)に示すように、上記レジスト膜115をマスクとして多結晶のAlInP層114をエッチング除去する。

【0011】

その後、図9(c)に示すようにレジスト115を除去する。

【0012】

続いて、3回目のMBE法による結晶成長によってp型GaAsコンタクト層116を形成し、このp型コンタクト層116の表面とn型GaAs基板101の裏面に、電極117、118を夫々形成して、図7に示すようなAlGaIn

P系赤色半導体レーザ素子が得られる。

【0013】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体レーザ素子の製造方法では、図9（b）で示した工程において多結晶のAlInP層114をエッチング除去する際、リッジ部両側のn型AlInP電流狭窄層113が過剰にエッチングされ、その結果、半導体レーザ素子の動作電流値が増大するという問題がある。

【0014】

これは、図8（c）で示した工程で形成されたn型AlInP電流狭窄層113は、上記リッジ部の側面上に形成された部分が、上記GaInPエッチストップ層107上に形成された部分に比べてエッチングされやすい結晶構造を有することが一因である。このリッジ部側面上に形成され、上記多結晶AlInP層114に接するn型AlInP電流狭窄層113の部分が、上記多結晶AlInP層114をエッチング除去する際のエッチング液によってエッチングされる。その結果、上記n型AlInP電流狭窄層113の上記リッジ部の側面上の部分にオーバーエッチが生じる。このオーバーエッチ部分に、3回目のMBE法による結晶成長時にp型GaAsが入り込む。このGaAsは、活性層で生成される光を吸収するので、上記リッジ部の光閉じ込め効果が低下し、外部微分量子効率が低下して、閾値電流値および動作電流値が増大してしまうのである。

【0015】

そこで、本発明の目的は、閾値電流値および動作電流値の増大が防止できる赤色半導体レーザ素子とその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体レーザ素子は、基板上に、活性層と、第1クラッド層とを設けると共に、上記第1クラッド層上に、第2クラッド層と、キャップ層を含む上部層とからなるリッジ部を設けた半導体レーザ素子において、上記上部層が上記第2クラッド層よりも両幅方向に突出するように形成する。上記上部層と上記第2クラッド層との間に、 $0.13\mu\text{m}$ 以上の段差を設け

る。この構成において、上記リッジ部の両側に例えば電流狭窄層を埋め込み形成する際、上記リッジ部の上に、上記電流狭窄層と分離した層が同時に形成される。したがって、従来におけるように、リッジ部の両側の電流狭窄層とリッジ部上の層とが互いに接触して形成されることがない。これによって、リッジ部上の層を除去する際に電流狭窄層がオーバーエッチされるという従来の不都合が、確実に回避される。したがって、上記リッジ部両側の電流狭窄層のオーバーエッチに起因するリッジ部からの光の漏れなどが、効果的に防止される。その結果、閾値電流値および動作電流値の増大が防止され、閾値が比較的低くでき、低消費電力の半導体レーザ素子が得られる。

【 0 0 1 7 】

なお、上記リッジ部の上部層は、上記キャップ層と共に中間層を含んでもよい。また、上記第1クラッド層と第2クラッド層は一体に形成されてもよく、また、エッチストップ層などが介設されてもよい。

【 0 0 1 8 】

1 実施形態の半導体レーザ素子は、上記リッジ部の両側に電流狭窄層を備え、この電流狭窄層の上記リッジ部に接する部分よりも両外側の部分であって、表面が平坦に形成された部分の厚みが、上記リッジ部の第2クラッド層の厚み以下に形成されている。したがって、上記電流狭窄層を形成したときにリッジ部上に同時に形成された層を除去する際、マスクとなるレジスト膜などが上記電流狭窄層上に確実に形成される。このマスクによって、上記リッジ部上の層をエッチング除去する際に電流狭窄層がオーバーエッチされることが確実に防止される。その結果、上記リッジ部の光閉じ込め効果が十分に奏されて、閾値が比較的低く、また、低消費電力の半導体レーザ素子が得られる。

【 0 0 1 9 】

1 実施形態の半導体レーザ素子は、上記電流狭窄層の上記リッジ部に接する部分の厚みが、上記リッジ部の第2クラッド層の厚みの半分以上である。これによって、上記第2クラッド層は、半分以上の厚みに亘って電流狭窄層が接するように形成されるので、活性層による光が有効に閉じ込められて、比較的 low 閾値で低消費電力の半導体レーザ素子が得られる。

【0020】

1 実施形態の半導体レーザ素子は、上記基板は傾斜基板である。したがって、この傾斜基板上に、例えばAlGaInPなどを含む活性層、第1および第2クラッド層などが少ない欠陥で高品質に形成され、良好な特性の半導体レーザ素子が得られる。

【0021】

なお、上記電流狭窄層は、Alを含むことが好ましく、より好ましくは、AlInPで形成する。これによって、良好な電流狭窄効果を奏する電流狭窄層が得られる。

【0022】

本発明の半導体レーザ素子の製造方法は、基板上に、少なくとも活性層と、第1クラッド層と、第2クラッド層と、キャップ層を含む上部層とを形成する工程と、上記第2クラッド層および上部層に、ドライエッチングを施した後、続いてウェットエッチングを施して、上記第2クラッド層および上部層からなるリッジ部とを備える。このリッジ部は、異方的にエッチングが行なわれるドライエッチングを施した後、続いて、等方的にエッチングが行なわれるウェットエッチングを施して形成するので、効果的に所定の形状にできる。

【0023】

1 実施形態の半導体レーザ素子の製造方法によれば、等方的にエッチングが可能なウェットエッチングによって、上記上部層を上記第2クラッド層よりも両側方向に突出させて、上記上部層と上記第2クラッド層との間に容易かつ効果的に段差が形成できる。その結果、比較的低閾値で低消費電力の半導体レーザ素子が製造できる。

【0024】

【発明の実施の形態】

以下、本発明を図示の実施の形態により詳細に説明する。

【0025】

図1は、第1実施形態の半導体レーザ素子を示す図である。この半導体レーザ素子は、n型GaAs基板1上に、順に、n型GaAsバッファ層2、n型G

a InPバッファ層3、n型AlGaInPクラッド層4、GaInP/AlGaInP多重量子井戸活性層5、p型第1AlGaInPクラッド層6、GaInPエッチストップ層7が積層されている。このGaInPエッチストップ層7上に、p型第2AlGaInPクラッド層8と、上部層としてのp型GaInP中間層9およびp型GaAsキャップ層10とから成るリッジ部が形成されている。上記p型第2クラッド層8は、上方に向うにつれて幅が狭まる台形をなしている。上記p型GaInP中間層9およびp型GaAsキャップ層10もまた、上方に向うにつれて幅が狭まる台形をなしている。上記リッジ部は、上記p型中間層9が上記p型第2クラッド層8よりも突出して、上記p型第2クラッド層8とp型中間層9とが段差をなすように形成されている。上記p型第2クラッド層8の両側には、上記エッチストップ層7上に、n型AlInP電流狭窄層13が設けられている。このn型AlInP電流狭窄層13およびリッジ部の上に、p型GaAsコンタクト層16が形成されている。上記n型GaAs基板1の裏面とp型GaAsコンタクト層16の表面とに、電極17、18が夫々配置されている。

【0026】

本実施形態の半導体レーザ素子は、以下のようにして製造する。まず、図2(a)に示すように(100)面から[011]方向に15°傾けた面を主面とするn型GaAs基板1上に、順に、n型GaAsバッファ層2、n型GaInPバッファ層3、n型AlGaInPクラッド層4、GaInP/AlGaInP多重量子井戸活性層5、p型第1AlGaInPクラッド層6、GaInPエッチストップ層7、p型第2AlGaInPクラッド層8、p型GaInP中間層9およびp型GaAsキャップ層10を、MBE法によって成長し、続いて、Al₂O₃膜11を蒸着する。

【0027】

その後、フォトエッチングを行なってAl₂O₃膜11をストライプ状にパターン加工した後、フォトレジストを除去して、上記Al₂O₃膜11をマスクとしてドライエッチングを行なう。このドライエッチングによって、Al₂O₃膜11の下側部分の両側における上記p型GaAsキャップ層10、p型GaIn

P中間層9およびp型第2AlGaInPクラッド層8を除去する。このとき、上記p型第2クラッド層8は、エッチストップ層7が露出しないように所定の厚みを残してエッチングを停止する。

【0028】

続いて、臭素系のエッチング液によって表面処理を行って、上記ドライエッチングで形成された面の付着物を除去すると共に、図2(b)で示すように、上記ドライエッチングで垂直に形成された側面を僅かにテーパ状に形成して、上記側面の面方位を僅かに傾斜させる。これによって、この後のウェットエッチングが安定に行なわれる。

【0029】

そして、熱リン酸を用いたウェットエッチングによって、p型第2AlGaInPクラッド層8をさらにエッチングする。すなわち、上記p型第2クラッド層8を、エッチストップ層7でエッチングが停止するまで Al_2O_3 膜11の下方両側部分を除去すると共に、サイドエッチングによって、上方に向うにつれて幅が狭くなる台形の断面形状にする。これは、サイドエッチングが生じやすいリン酸エッチングの性質を利用している。このように、異方性を有して垂直面の形成が可能なドライエッチングと、エッチストップが可能であると共にサイドエッチングを生じるウェットエッチングとを組み合わせている。これによって、図2(c)に示すように、p型第2AlGaInPクラッド層8とp型GaInP中間層9の間に段差を有するリッジ部が形成できる。上記段差の寸法は、リン酸エッチングの際のエッチング時間によって調整する。本実施形態では、上記段差の寸法を $0.13\mu m$ にしている。

【0030】

次に、リッジ部上の Al_2O_3 膜11をエッチング除去した後、2回目のMBE法によってAlInPを結晶成長する。その結果、図3(a)に示すように、リッジ部の両側かつエッチストップ層7上に単結晶のn型AlInP電流狭窄層13が形成されると共に、p型GaAsキャップ層10上に多結晶のAlInP層14が形成される。ここで、上記n型AlInP電流狭窄層13と多結晶AlInP層14は、従来におけるように繋がることなく、隙間をなして形成される

。これは、上記p型第2クラッド層8とp型中間層9の間に、寸法が $0.13\mu\text{m}$ 以上の段差を設けたからである。

【0031】

なお、上記AlInPの結晶成長はMBE法によって行なったが、MBE法以外の例えばMOCVD法によって結晶成長を行なうと、上記リッジ部に段差があるにも拘らず、n型AlInP電流狭窄層13と多結晶状態のAlInP結晶14とが接触して形成されてしまう。したがって、MBE法によって上記AlInPを結晶成長する必要がある。

【0032】

ここで、上記p型第2AlGaInPクラッド層8とp型GaInP中間層9の間の段差の寸法を、 $0.14\mu\text{m}$ にして半導体レーザ素子を製造したところ、半導体レーザ素子の良品率は72.3%になった。一方、上記段差の寸法を $0.12\mu\text{m}$ にした場合、良品率は35.9%と大幅に低下した。したがって、上記p型第2クラッド層8とp型中間層9の間の段差の寸法は、 $0.13\mu\text{m}$ 以上にするのが好ましい。

【0033】

続いて、スピナーによって、レジストを塗布する。このとき、上記n型AlInP電流狭窄層13上にはレジストが塗布されるが、多結晶AlInP層14上にはレジストはほとんど塗布されない。また、上記レジストは、上記n型電流狭窄層13と多結晶のAlInP層14との間の隙間を通して、上記段差を形成するp型中間層9の下側に浸入する。その結果、上記n型電流狭窄層13と多結晶AlInP層14とを隔てるように、上記n型電流狭窄層13上にレジスト膜15が形成される(図3(b))。

【0034】

この後、上記多結晶AlInP層14上に付着した僅かなレジストを、 O_3 -UVアッシングによって除去する。そして、上記レジスト膜15をマスクとして、多結晶AlInP層14をエッチング除去する(図3(c))。この時、上記レジスト膜15は、n型電流狭窄層13と多結晶AlInP層14とを隔てて上記n型電流狭窄層13上に形成されているので、上記多結晶AlInP層14を

エッチングするエッチング液がn型電流狭窄層13に触れることが確実に防止される。したがって、従来におけるように、リッジ部のp型第2クラッド層に接するn型電流狭窄層の部分がオーバーエッチされることがない。ここで、n型電流狭窄層13にAlInPを用いるのは、導波路損失を減らすために、活性層よりもバンドギャップを大きくし、また、クラッド層よりも屈折率を小さくする必要があるからである。したがって、Alを含むと共に、Al混晶比が比較的高いAlInPが好適である。

【0035】

そして、その後、レジスト15を除去する(図4(a))。

【0036】

引き続き、3回目のMBE成長を行なって、p型GaAsコンタクト層16を形成し、このp型コンタクト層16の表面およびn型GaAs基板1の裏面に、電極17、18を夫々形成して、図4(b)に示すような半導体レーザ素子が完成する。

【0037】

こうして製造した半導体レーザ素子は、リッジ部のp型第2AlGaInPクラッド層8の両側に、n型AlInP電流狭窄層13が、オーバーエッチされないで所定の厚みをなして配置されている。したがって、レーザ発振時に、上記p型第2クラッド層8によって光閉じ込め効果が適切に奏されて、従来におけるようなオーバーエッチ部に入り込んだp型GaAsによって、p型第2クラッド層から光が吸収されることがない。したがって、閾値電流の上昇や、動作電流値の上昇が有効に防止できる。

【0038】

次に、本発明の第2実施形態の半導体レーザ素子の製造方法を説明する。本実施形態で製造される半導体レーザ素子は、リッジ部の両側に形成される電流狭窄層13の平坦部の厚みのみが第1実施形態と異なり、他の条件は第1実施形態と同一である。

【0039】

本実施形態では、図2(c)に示した工程までは第1実施形態の半導体レーザ

素子の製造方法と同一の工程を行なう。すなわち、第1実施形態と同様に、GaInPエッチストップ層7上に、p型第2AlGaInPクラッド層8とp型GaInP中間層9の間に段差を有するリッジ部を形成する。

【0040】

その後、 Al_2O_3 膜11をエッチング除去した後、2回目のMBE成長によってAlInPを結晶成長する。これによって、図5(a)で示すように、リッジ部両側のGaInPエッチストップ層7上にn型AlInP電流狭窄層13が形成されると共に、p型GaAsキャップ層10上に多結晶のAlInP層14が形成される。

【0041】

ここで、本実施形態では、n型AlInP電流狭窄層13の上記リッジ部に接する部分よりも両外側の部分であって表面が平坦に形成された部分の厚みを、リッジ部のp型第2AlGaInPクラッド層8の厚みよりも薄く形成する。また、上記n型電流狭窄層13の上記リッジ部に接する部分の厚みを、このリッジ部のp型第2クラッド層8の厚みの半分の厚みに形成する。

【0042】

ここにおいて、上記リッジ部の段差が例えば $0.13\mu m$ の場合、上記n型電流狭窄層13の上記リッジ部よりも両外側の部分であって表面が平坦に形成された部分の厚みを、上記p型第2クラッド層8の厚みよりも厚く形成すると、リッジ部の段差を形成するp型GaInP中間層9の下面とn型電流狭窄層13の表面との間に形成される隙間の距離が 500\AA 以下になる。そうすると、レジスト塗布の際に上記隙間にレジストが入り難くなって、n型電流狭窄層13の保護が不十分になり、多結晶AlInP層14のエッチングの際にn型電流狭窄層13がオーバーエッチされる可能性が高くなる。

【0043】

また、上記n型AlInP電流狭窄層13の上記リッジ部に接する部分の厚みが、このリッジ部のp型第2クラッド層8の厚みの半分よりも薄くなると、このp型第2クラッド層8の導波路損失が増大して外部微分量子効率低下して、半導体レーザ素子の閾値電流値および動作電流値が増大してしまう。

【0044】

続いて、第1実施形態と同様に、スピナーによって、主にn型AlInP電流狭窄層13上にレジストを塗布する。このとき、多結晶AlInP層14上にはレジストは殆ど塗布されない。上記レジストは、上記n型電流狭窄層13と多結晶AlInP層14との間の隙間を通して、上記段差を形成するp型中間層9の下側に浸入して、上記n型AlInP電流狭窄層13上の全てに塗布される。そして、不要なレジストを O_3 -UVアッシングによって除去して、図5(b)に示すように、n型AlInP電流狭窄層13上のみにレジスト膜15を配置する。

【0045】

そして、図5(c)に示すように、上記レジスト膜15をマスクとして多結晶AlInP層14をエッチング除去する。

【0046】

その後、図5(d)に示すようにレジスト膜15を除去する。

【0047】

引き続き、3回目のMBE成長を行なって、p型GaAsコンタクト層16を形成し、最後に、このp型GaAsコンタクト層16の表面およびn型GaAs基板1の裏面に、電極17、18を夫々形成して、図5(e)に示すような半導体レーザ素子が得られる。

【0048】

こうして製造した半導体レーザ素子は、リッジ部のp型第2AlGaInPクラッド層8の両側に、n型AlInP電流狭窄層13が、オーバーエッチされないうでp型第2クラッド層8の厚みの半分以上の厚みを有するように形成される。したがって、レーザ発振時に、上記p型第2クラッド層8で光閉じ込め効果が適切に奏されて、閾値電流値および動作電流値の上昇の不都合が有効に防止できる。つまり、十分に低い閾値電流値および動作電流値で600nm帯の赤色波長が発光可能なAlGaInP系半導体レーザ素子が得られる。

【0049】

【発明の効果】

以上より明らかなように、本発明の半導体レーザ素子によれば、基板上に、活性層と、第1クラッド層とを設けると共に、上記第1クラッド層上に、第2クラッド層と、キャップ層を含む上部層とからなるリッジ部を設けた半導体レーザ素子において、上記上部層が上記第2クラッド層よりも両幅方向に突出して、上記上部層と上記第2クラッド層との間に $0.13\mu\text{m}$ 以上の段差があるので、例えば電流狭窄層となるAlInP層などを形成する際、上記リッジ部の両側と、上記リッジ部上とに、互いに分離してAlInP層が各々形成できる。したがって、上記リッジ部上のAlInP層をエッチング除去する際、上記リッジ部の両側のAlInP電流狭窄層はレジスト膜などによって確実に保護されてオーバーエッチされることがないので、上記リッジ部は光閉じ込め効果を有効に奏することができ、その結果、閾値が比較的低く、また、低消費電力の半導体レーザ素子が得られる。

【図面の簡単な説明】

【図1】 第1実施形態の半導体レーザ素子を示す図である。

【図2】 図2(a), (b), (c)は、第1実施形態の半導体レーザ素子を製造する工程を示す図である。

【図3】 図3(a), (b), (c)は、図2(c)に引き続き、第1実施形態の半導体レーザ素子を製造する工程を示す図である。

【図4】 図4(a), (b)は、図3(c)に引き続き、第1実施形態の半導体レーザ素子を製造する工程を示す図である。

【図5】 図5(a), (b), (c)は、第2実施形態の半導体レーザ素子を製造する工程を示す図である。

【図6】 図6(a), (b)は、図5(c)に引き続き、第2実施形態の半導体レーザ素子を製造する工程を示す図である。

【図7】 従来の半導体レーザ素子を示す図である。

【図8】 図8(a), (b), (c)は、従来の半導体レーザ素子を製造する工程を示す図である。

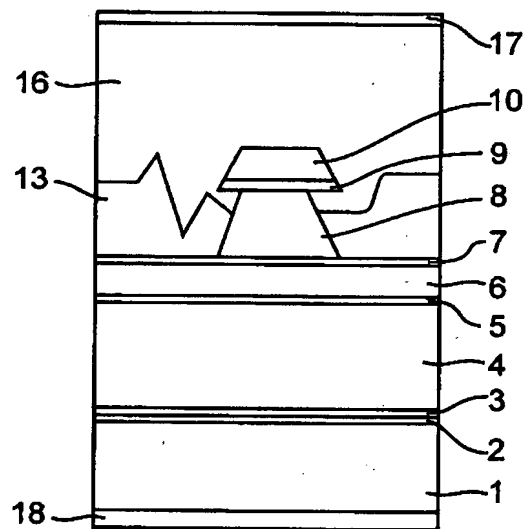
【図9】 図9(a), (b), (c)は、図8(c)に引き続き、従来の半導体レーザ素子を製造する工程を示す図である。

【符号の説明】

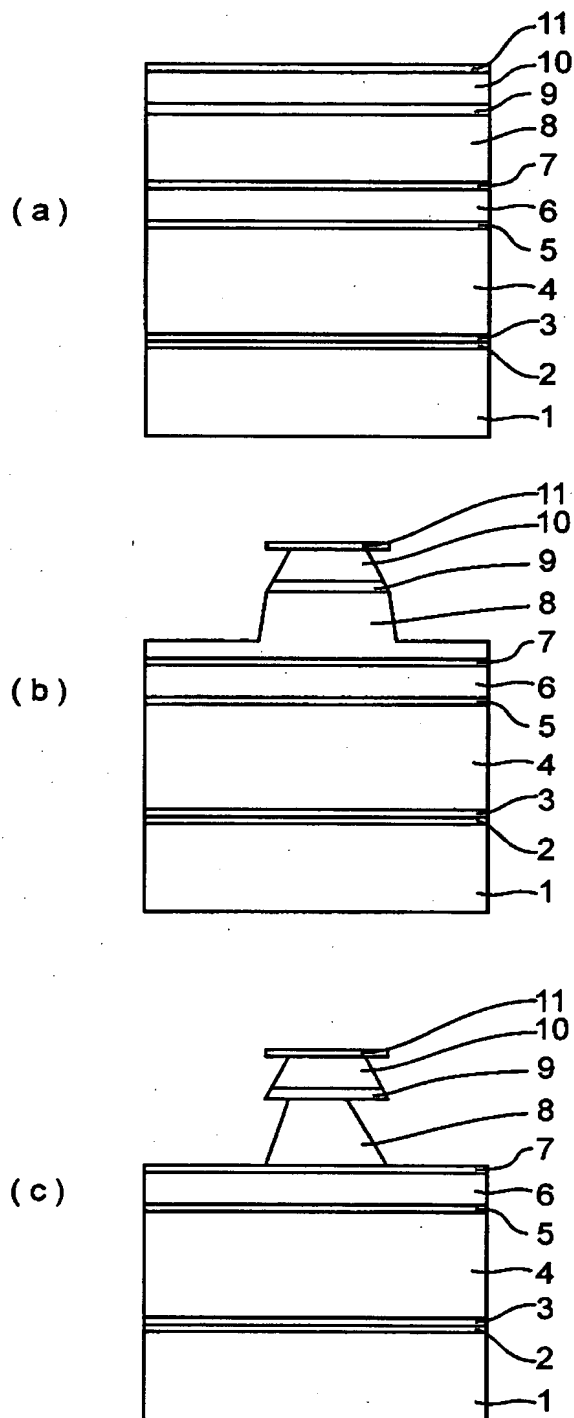
- 1 n型GaAs基板
- 2 n型GaAsバッファ層
- 3 n型GaInPバッファ層
- 4 n型AlGaInPクラッド層
- 5 GaInP/AlGaInP多重量子井戸活性層
- 6 p型第1AlGaInPクラッド層
- 7 GaInPエッチストップ層
- 8 p型第2AlGaInPクラッド層
- 9 p型GaInP中間層
- 10 p型GaAsキャップ層
- 13 n型AlInP電流狭窄層
- 16 p型GaAsコンタクト層
- 17, 18 電極

【書類名】 図面

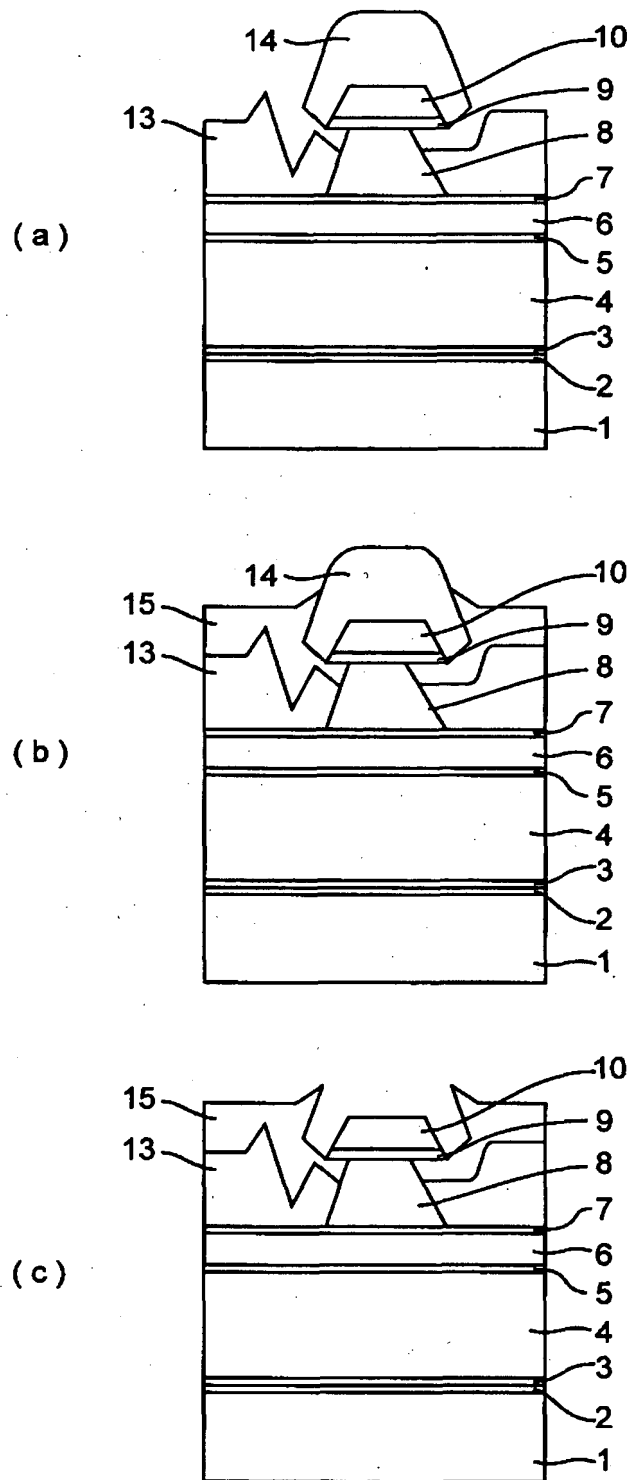
【図 1】



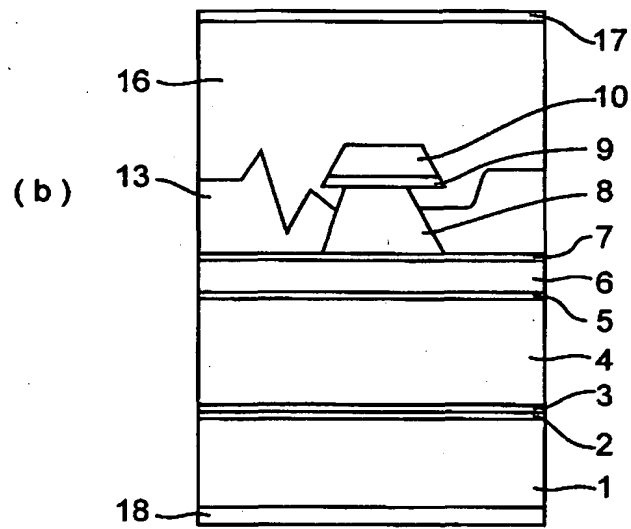
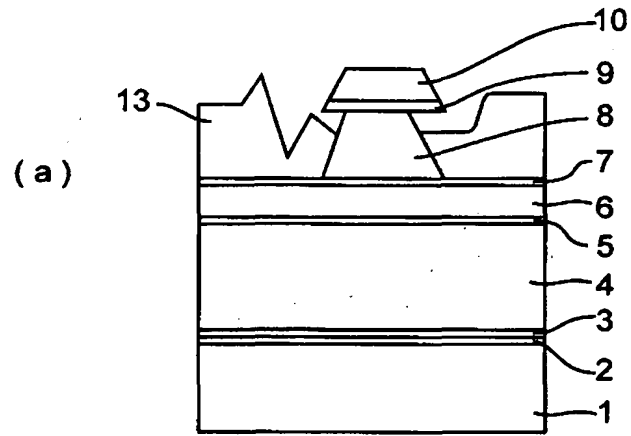
【図 2】



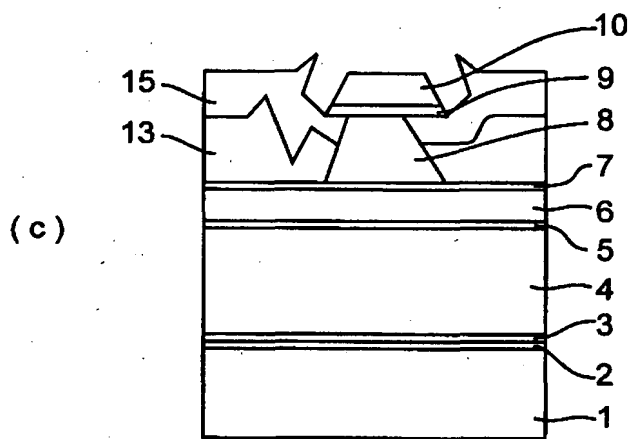
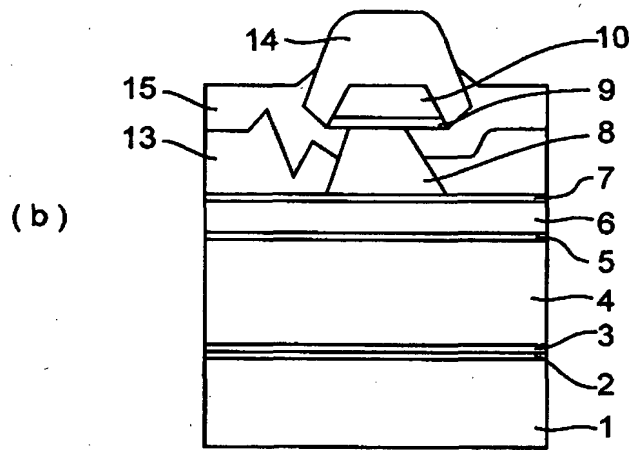
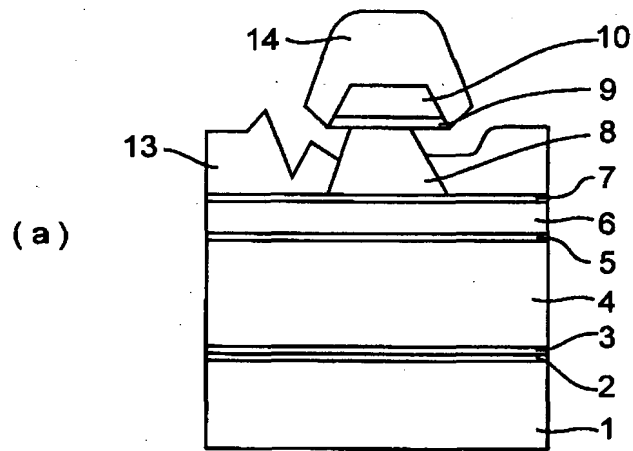
【図 3】



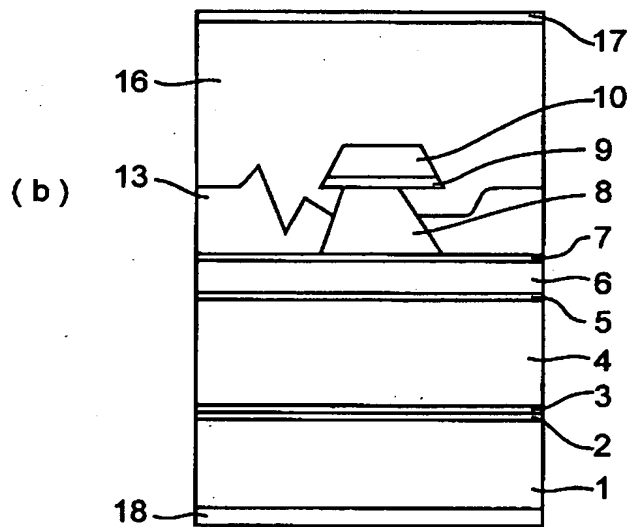
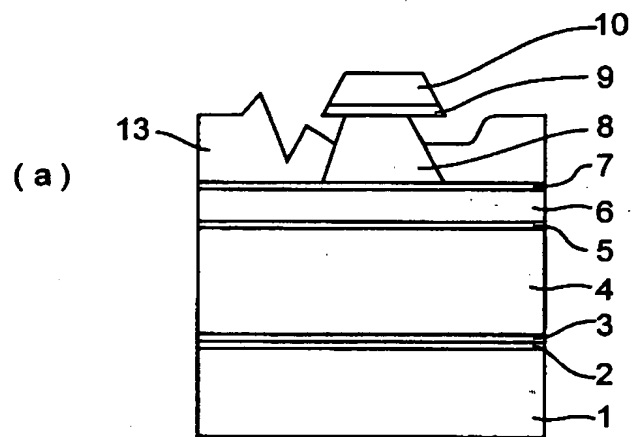
【図 4】



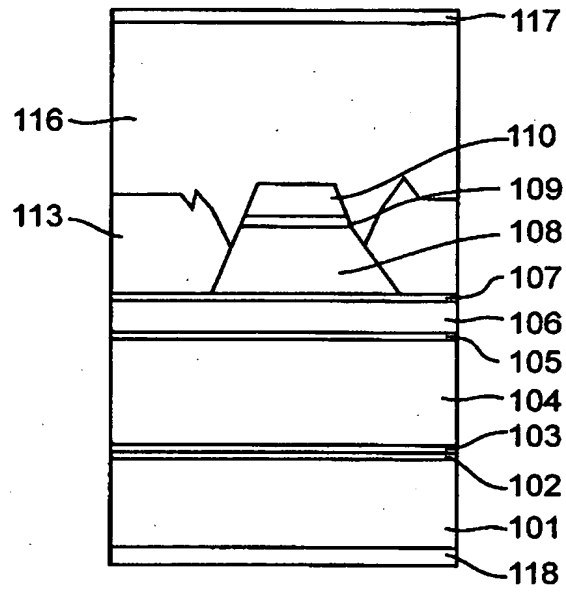
【図 5】



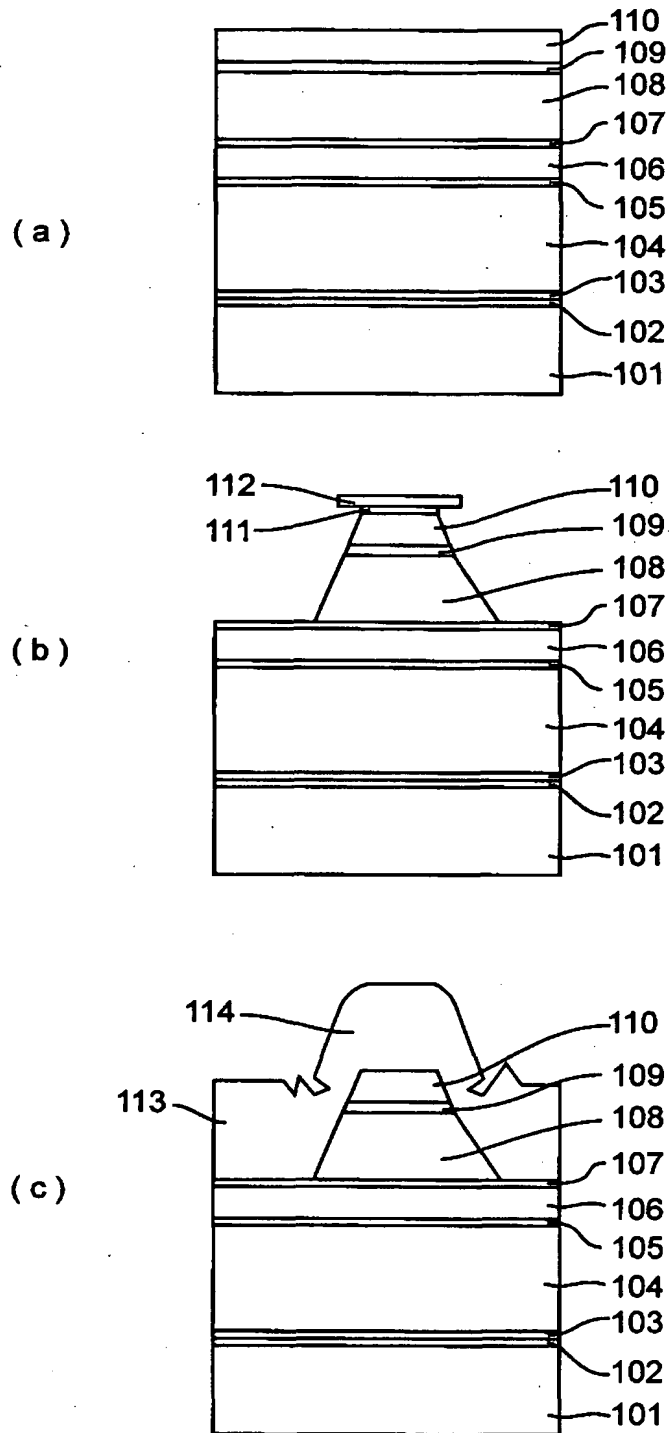
【図 6】



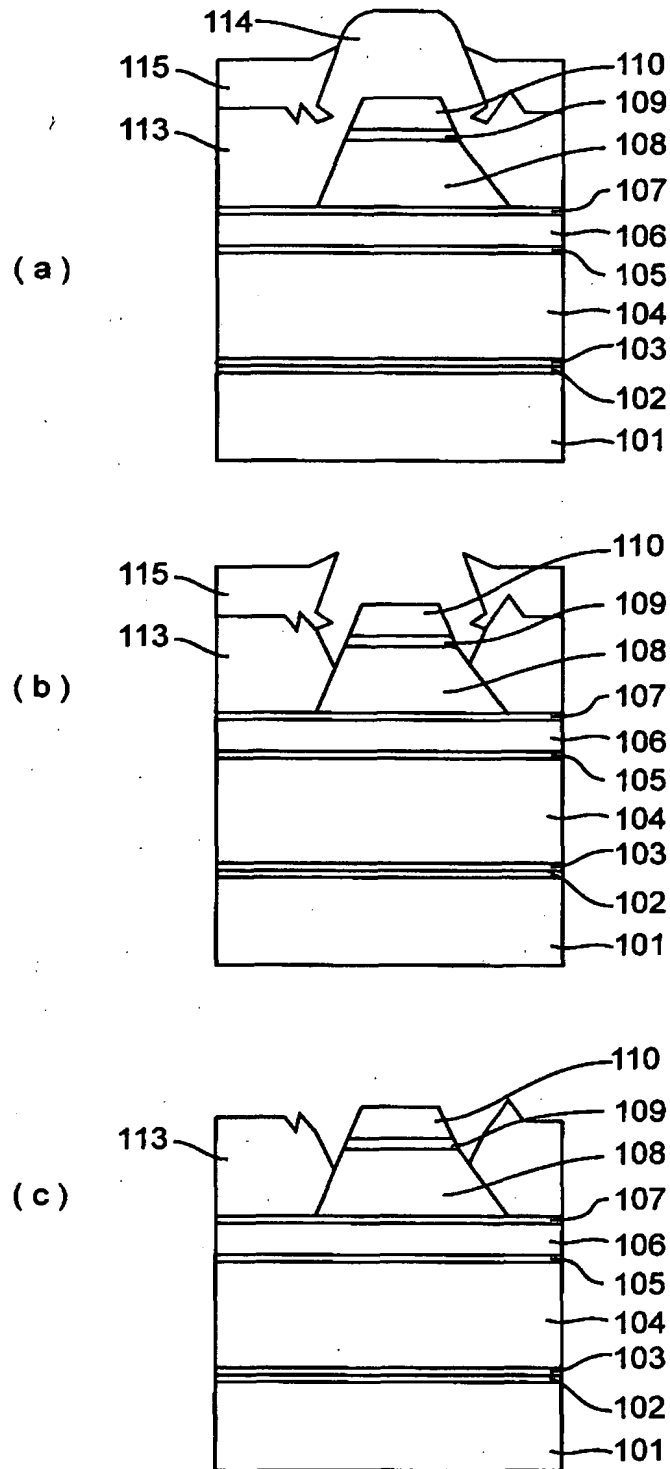
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 閾値電流値および動作電流値の増大が防止できる赤色半導体レーザー素子とその製造方法を提供すること。

【解決手段】 エッチストップ層7上に、p型第2AlGaInPクラッド層8、p型GaInP中間層9およびp型GaAsキャップ層10から成るリッジ部を形成し、p型中間層9をp型第2クラッド層8よりも両幅方向に突出させて、p型中間層9とp型第2クラッド層8との間に0.13 μ m以上の段差を形成する。この段差によって、リッジ部の両側とリッジ部上とにAlInP層を互いに分離して各々形成できるので、リッジ部上のAlInP層をエッチング除去する際、リッジ部両側のAlInP電流狭窄層13はレジスト膜で確実に保護されてオーバーエッチされない。AlInP電流狭窄層13が電流狭窄機能を有効に奏して、低閾値発振、低消費電力の半導体レーザー素子が得られる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社